

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259880  
(43)Date of publication of application : 08.10.1993

---

(51)Int.Cl.

H03K 19/0175

---

(21)Application number : 04-086339

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 10.03.1992

(72)Inventor : YAMADA KAZUYOSHI

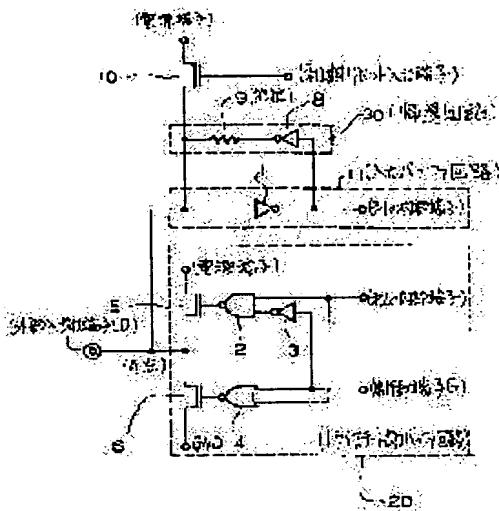
---

## (54) INPUT OUTPUT BUFFER CIRCUIT

### (57)Abstract:

PURPOSE: To prevent a consumed current from flowing from a power supply terminal to a GND terminal when a voltage level logic of an external input/ output terminal is in a logical '1' state.

CONSTITUTION: This circuit is provided with a feedback circuit 30 and a P- channel MOS FET 10 in addition to a tri-state output buffer circuit 20 and an input buffer circuit 11, an inverter 1 of the input buffer circuit 11, an inverter 8 of a feedback circuit 30 and a resistor 9 form a latch circuit. The latch circuit holds a potential at a point A. On the other hand, the P-channel MOS FET 10 receives a reset signal in the initial setting state to set an initial value of the latch circuit.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-259880

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.  
H 03 K 19/0175

識別記号

庁内整理番号

F I

技術表示箇所

8941-5J  
8941-5J  
8941-5J

H 03 K 19/00

101 S

101 F

101 K

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-86339

(22)出願日 平成4年(1992)3月10日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 山田 和良

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株式会社内

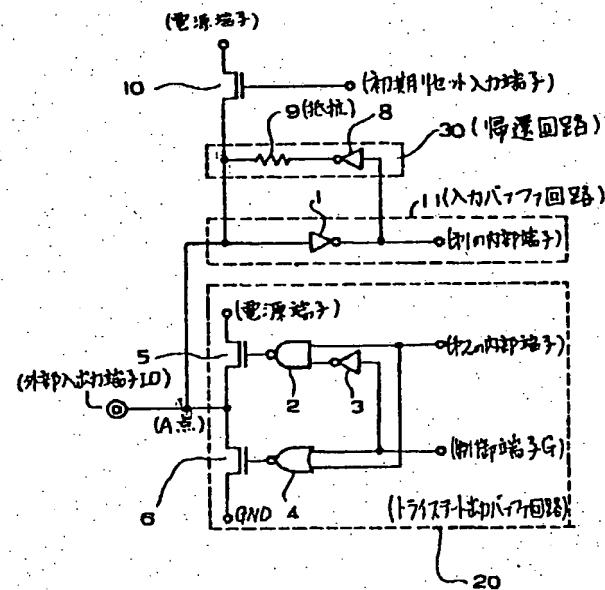
(74)代理人 弁理士 井ノ口 寿

(54)【発明の名称】 入出力バッファ回路

(57)【要約】

【目的】 外部入出力端子の電圧レベルが論理“1”的安定状態にあるとき、電源端子からGND端子に消費電流が流れないようにすることにある。

【構成】 トライステート出力バッファ回路20および入力バッファ回路11のほかに、帰還回路30およびPチャネルMOS-FET 10を設け、入力バッファ回路11のインバータ1と、帰還回路30のインバータ8および抵抗9とによってラッチ回路を構成する。ラッチ回路でA点の電位を保つことができる。一方、PチャネルMOS-FET 10は初期設定時にリセット信号を入力し、ラッチ回路の初期値を設定することができる。



## 【特許請求の範囲】

【請求項1】 制御端子によって入力モードか、あるいは出力モードが選択され、前記出力モードが選択されたときには第1の内部端子に入力された信号を外部入出力端子に出力することができ、また前記入力モードが選択された時には動作を停止するように構成したトライステート出力バッファ回路と、

前記入力モードが選択されたときに前記外部入出力端子に入力された信号を増幅して第2の内部端子に出力するように構成した入力バッファ回路と、

前記入力バッファ回路の出力信号をその入力側に戻して、前記入力バッファ回路とともにラッチ回路を形成することができ、前記外部入出力端子に入力された信号の論理状態を変えない程度になるように構成した帰還回路と、

前記外部入出力端子における前記ラッチ回路によって保持される値の論理状態を初期設定するように構成したPチャネルMOSトランジスタとから成る入出力バッファ回路。

【請求項2】 前記トライステート出力バッファは、その出力段に相補接続したPチャネルMOS電界効果トランジスタおよびNチャネルMOS電界効果トランジスタを備え、

前記入力モードが選択された時には前記PチャネルMOS電界効果トランジスタおよび前記NチャネルMOS電界効果トランジスタの両方がオフとなって前記外部入出力端子は高インピーダンス状態になり、

前記出力モードが選択された時には前記PチャネルMOS電界効果トランジスタあるいは前記NチャネルMOS電界効果トランジスタがオンになることができるよう構成した請求項1の入出力バッファ回路。

【請求項3】 前記帰還回路はインバータと前記インバータの出力端子に接続された直列抵抗とから構成され、前記インバータはPチャネルMOS電界効果トランジスタおよびNチャネルMOS電界効果トランジスタから構成された請求項1の入出力バッファ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は相補形MOS電界効果トランジスタを用いた半導体集積回路に関し、特にその外部入出力端子に接続される入出力バッファに関する。

## 【0002】

【従来の技術】 従来、相補形MOS電界効果トランジスタを用いた入出力バッファ回路は、例えば図2に示すようにブルアップ抵抗7に接続された入力バッファ回路11と、トライステート出力バッファ回路20とによって構成される。トライステート出力バッファ回路20では、第2の内部端子がNANDゲート2の第1の入力端子と、NORゲート4の第1の入力端子とに接続されている。NANDゲート2の第2の入力端子には、制御端

子Gを入力端子とするインバータ3の出力端子が接続され、NORゲート4の第2の入力端子は直接制御端子Gに接続されている。

【0003】 NANDゲート2の出力端子およびNORゲート4の出力端子はそれぞれトライステート出力バッファ回路20の主要部分を構成するPチャネルMOS電界効果トランジスタ5(以下、PチャネルMOS-FETと称する。)およびNチャネルMOS電界効果トランジスタ6(以下、NチャネルMOS-FETと称する。)のゲートに接続されている。PチャネルMOS-FET5のソースは電源端子に接続され、そのドレーンは外部入出力端子10に導かれたA点へ接続されている。更に、NチャネルMOS-FET6のソースはGND端子に接続され、そのドレーンはA点に接続されている。

【0004】 次に、入力バッファ回路11は、外部入出力端子10およびA点を介してインバータ1の入力端子に接続され、インバータ1の出力端子は第1の内部端子に接続されている。また、A点と電源端子との間に、ブルアップ抵抗7が接続されている。次に、本回路の動作について図2を参照して説明する。

【0005】 まず、制御端子Gが論理“0”的とき、入出力バッファ回路は出力モードとなり、外部入出力端子10の負荷は高インピーダンス状態になる。このとき、トライステート出力バッファ回路20では、NANDゲート2の第2の入力端子にインバータ3から論理“1”が入力され、NORゲート4の第1の入力端子に制御端子Gから論理“0”が入力される。そこで、NANDゲート2およびNORゲート4の出力値は、それぞれ第2の内部端子の論理値によって決定されるので定まらない。

【0006】 そこで、第2の内部端子に論理“1”が入力されると、NANDゲート2およびNORゲート4の出力は、ともに論理“0”となる。そこで、PチャネルMOS-FET5はオン、NチャネルMOS-FET6はオフになる。A点にはPチャネルMOS-FET5を介して電源電圧が供給され、論理“1”となる。逆に、第2の内部端子に論理“0”が入力されると、NANDゲート2およびNORゲート4の出力はともに論理“1”となり、PチャネルMOS-FET5はオフ、NチャネルMOS-FET6はオンになって、A点はNチャネルMOS-FET6を介してGND電圧が供給され、論理“0”となる。

【0007】 入力バッファ回路11において、インバータ1にはPチャネルMOS-FET5とNチャネルMOS-FET6とで構成されるトライステート出力バッファ回路20から供給される論理“0”または論理“1”に従って動作する。ここで、ブルアップ抵抗7は予めA点において、トライステート出力バッファ回路20から出力される論理“0”または5論理“1”的電圧

レベルを受けたインバータ1が、勝手に論理値を反転しないような高い抵抗値に設定してある。

【0008】次に、制御端子Gが論理“1”的とき、入出力バッファ回路は入力モードとなって、外部入出力端子1Oは外部の入力端子へ接続される。このとき、PチャネルMOS-FET5とNチャネルMOS-FET6とで構成させるトライステート出力バッファ回路2Oのトライステート出力バッファは、高インピーダンス状態になる。このとき、入力バッファ回路11のインバータ1の入力は、外部入出力端子1Oから供給される論理“0”または論理“1”に従って動作する。

【0009】ここで、ブルアップ抵抗7は、予めA点において、外部入出力端子1Oから入力される論理“0”または論理“1”的電圧レベルによらないでインバータ1が勝手に論理値を反転しないような高い抵抗値に設定してある。。また、外部入出力端子1Oが高インピーダンスである場合には、PチャネルMOS-FET5とNチャネルMOS-FET6とで構成されるトライステート出力バッファ回路2Oの出力も高インピーダンスである。従って、A点はブルアップ抵抗7によって電源電圧に充電され、論理“1”的電圧レベルとなる。

【0010】この従来の入出力バッファ回路では、入力モードであって、且つ、A点でインバータ1の入力が論理“0”であるとき、電源端子からブルアップ抵抗7を介してA点を通り、外部入出力端子1Oが接続され、論理“0”を駆動する素子を介してGNDに定常電流が流れれる。一方、出力モードのときには、電源端子からブルアップ抵抗7を介してA点を通り、更にトライステート出力バッファ回路2OのNチャネルMOS-FET6を介してGNDに定常電流が流れれる。

#### 【0011】

【発明が解決しようとする課題】解決しようとする問題は、外部入出力端子が論理“0”的場合、電源からGNDに定常電流が流れれるため、消費電流が増加する点である。

#### 【0012】

【課題を解決するための手段】本発明は、トライステート出力バッファ回路および入力バッファ回路のほかに、入力バッファ回路の出力信号を入力側に戻す帰還回路、および初期リセット用PチャネルMOS-FETを備えて、消費電流を減ずることができるように構成したことを見徴とする。

#### 【0013】

【実施例】次に、本発明について図面を参照して説明する。図1は、本発明による入出力バッファ回路の一実施例を示す回路図である。図1において、1はインバータ、2はNANDゲート、3はインバータ、4はNORゲート、5はPチャネルMOS-FET、6はNチャネルMOS-FET、8はインバータ、9は抵抗、10はPチャネルMOS-FETである。また、11は入力バ

ッファ回路、20はトライステート出力バッファ回路、30は帰還回路である。

【0014】帰還回路30を構成するインバータ8は入力端子がインバータ1の出力端子に接続され、その出力端子は抵抗9を介してインバータ1の入力端子、すなわちA点に接続されている。更に、電源投入時、A点の論理値が“1”または“0”的いずれにも定まらない場合には、予めA点に論理“1”を設定するために、それぞれソースとドレーンとが電源端子とA点とに接続され、ゲートには初期リセット信号パルスを入力するための初期リセット端子が接続されたPチャネルMOS-FET10を設ける。

【0015】次に、本発明の動作について、図1を参照して説明する。まず、制御端子Gが論理“0”的時、従来例と同様に入出力バッファ回路は出力モードとなり、外部入出力端子1Oの負荷は高インピーダンス状態になる。このときトライステート出力バッファ回路2Oの動作は従来例と同様である。よって、第2の内部端子に加えられる論理“0”または“1”に従って、PチャネルMOS-FET5とNチャネルMOS-FET6とで構成されたトライステート出力バッファ回路2Oの論理出力値“0”または“1”に従って変化する。

【0016】ここで、帰還回路30を構成するインバータ8および抵抗9は、A点においてインバータ1へ入力される論理出力値“0”または“1”を反転させない電圧レベルとなるように、インバータ8を構成するPチャネルMOS-FETおよびNチャネルMOS-FETのオン抵抗値と抵抗9の抵抗値とを高く設定してある。従って、インバータ8の論理出力値が逆の場合でも出力バッファ回路2Oの論理出力値は反転しない。

【0017】次に、制御端子Gが論理“1”的ときには入力モードとなり、外部入出力端子1Oに接続されたトライステート出力バッファ回路2Oのトライステート出力バッファは、従来例と同様に高インピーダンス状態になる。このとき、入力バッファ回路11のインバータ1は、外部入出力端子1Oから入力される論理レベルの“0”または“1”に従って動作する。

【0018】ここで、帰還回路30を構成するインバータ8および抵抗9は、A点においてインバータ1に外部入出力端子1Oから入力される論理値“0”または“1”を反転させない電圧レベルとなるように、インバータ8を構成するPチャネルMOS-FETおよびNチャネルMOS-FETのオン抵抗値と、抵抗9の抵抗値とを高く設定してある。

【0019】また、外部入出力端子1Oが高インピーダ

ンスの場合には、A点の論理値は、インバータ1と、帰還回路30のインバータ8および抵抗9とで構成されるラッチ回路に保持された値、すなわちインバータ8の出力値に保持される。なお、電源投入時の初期状態において、外部入出力端子10の入力状態およびトライステート出力バッファ回路20の出力状態が、ともに高インピーダンス状態となる。

【0020】従って、インバータ1と、インバータ8および抵抗9とで構成されるラッチ回路とによって保持された論理値が“0”、または“1”的いずれにも定まらない場合、図1に示すようにPチャネルMOS-FET10を追加して、初期リセット入力端子に内部回路全体の初期リセット信号として論理“0”的バ尔斯を入力し、他の状態では論理“1”を入力することによって、A点の論理値を“1”にして、ラッチ回路によって保持される初期値を設定することができる。

【0021】ここで、インバータ8の論理出力値が“0”的とき、論理“0”的電圧レベルを駆動するインバータ8のNチャネルMOS-FETのオン抵抗と、抵抗9とで決定される直列抵抗値は、PチャネルMOS-FET10がオンになるとき、A点の論理値が“1”となるようになる。すなわちPチャネルMOS-FET10のオン抵抗値に比べて、オン抵抗と抵抗9とで決定される直列抵抗値が高抵抗値になるように予め設定している。

【0022】以上、図1を参照して説明したように、第1に外部入出力端子10に現れるトライステート出力バッファ回路20の論理出力値“0”または“1”と、インバータ8の論理出力値とが異なるときおよび第2にPチャネルMOS-FET5とNチャネルMOS-FET6とで構成されるトライステート出力バッファ回路20の論理出力値“0”または“1”とインバータ8の論理出力値とが異なるときインバータ8がA点の論理値を反転動作させる。

【0023】この期間中、インバータ8を構成するPチャネルMOS-FET10と抵抗9とを介して、電源端子からA点に電流が流れ、更にA点から外部入出力端子10に接続された外部のトライステート出力バッファ回路、または本トライステート出力バッファ回路20のN

チャネルMOS-FET6を介してGND端子に電流が流れがある。他のケースとして、外部入出力端子10に接続された外部のトライステート出力バッファ回路、または本トライステート出力バッファ回路20のPチャネルMOS-FET5を介して、電源端子からA点に電流が流れ、更にA点から抵抗9およびインバータ8を構成するNチャネルMOS-FET10を介してGND端子に電流が流れがある。従って、A点が論理“0”的電圧レベルに固定された場合には、電流が常に流れという状態はなくなった。

#### 【0024】

【発明の効果】以上説明したように本発明は外部入出力端子10に接続されたフルアップ抵抗の代わりに入力バッファ回路の出力信号を入力側に戻す期間回路を設けることによって、外部入出力端子が論理“0”的状態であっても定常電流が流れることがなくなったので、本発明による入出力バッファ回路を多数用いる半導体集積回路の消費電流を著しく低減することができる利点がある。

【0025】また、外部に接続されたトライステート出力バッファ回路とPチャネルMOS-FETおよびNチャネルMOS-FETで構成されるトライステート出力バッファ回路とがともに高インピーダンス状態となっても、以前のA点の論理値をラッチ回路で保持することができるので、内部回路の動作状態に影響を与えることはない利点がある。

#### 【図面の簡単な説明】

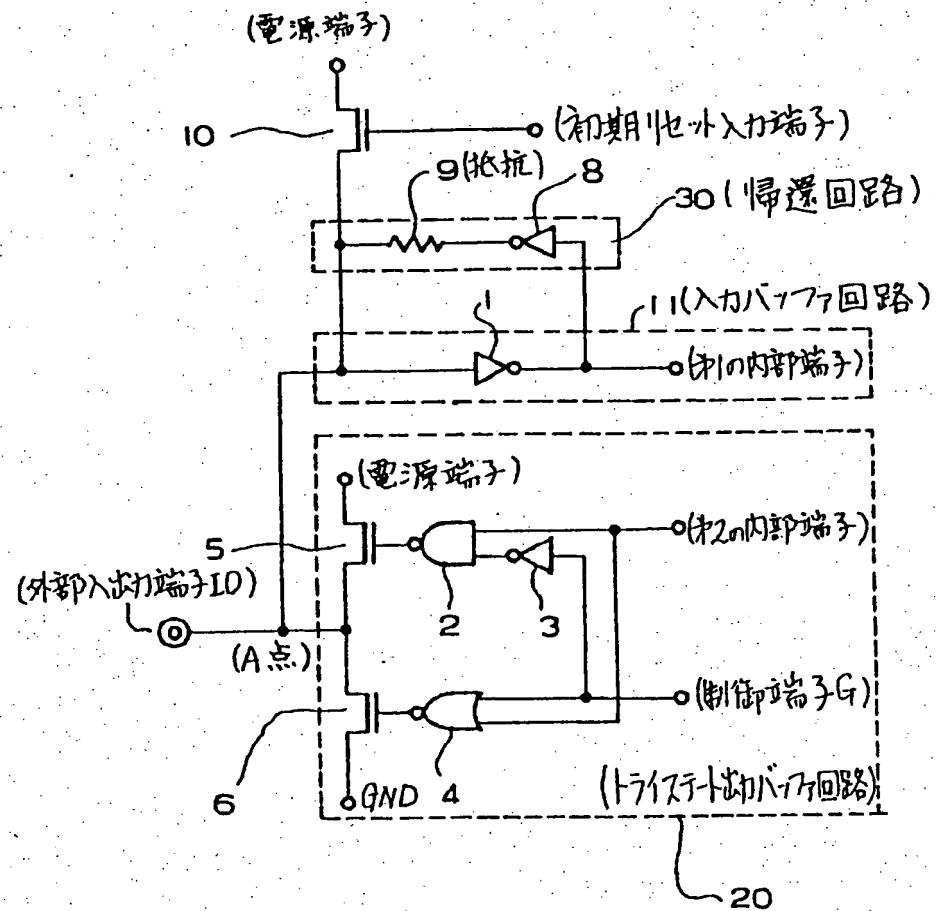
【図1】本発明による入出力バッファ回路の一実施例を示す回路図である。

【図2】従来技術による入出力バッファ回路の一実施例を示す回路図である。

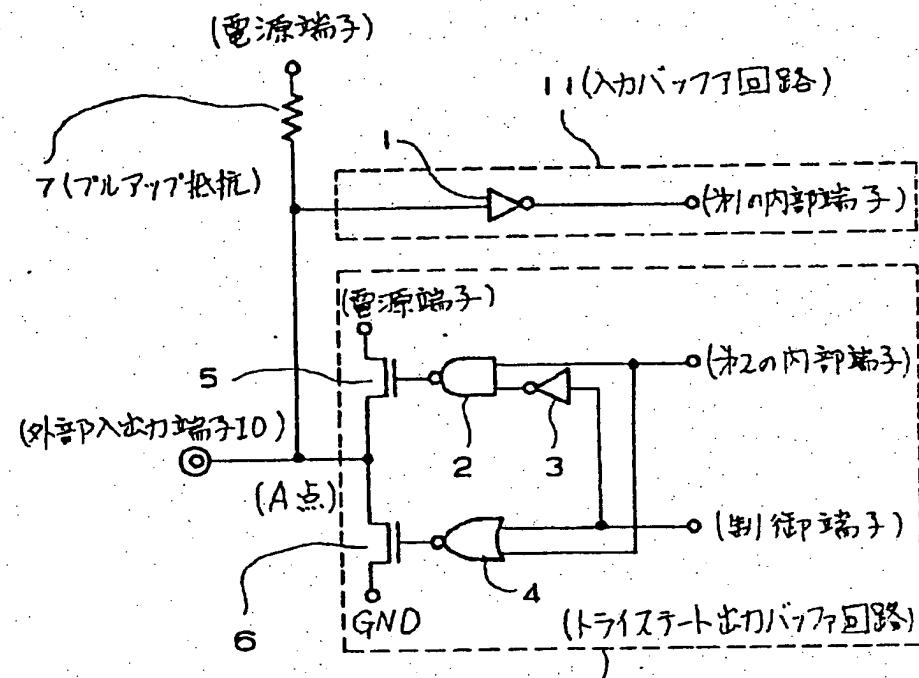
#### 【符号の説明】

- 1, 3, 8 インバータ
- 2 NANDゲート
- 4 NORゲート
- 5, 6, 10 MOS-FET
- 7, 9 抵抗
- 11 入力バッファ回路
- 20 トライステート出力バッファ回路
- 30 帰還回路

【図1】



【図2】



20.